

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112488

(43)公開日 平成10年(1998) 4月28日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/68

H 0 1 L 21/68

A

21/285

21/285

C

29/78

C 2 3 C 16/02

21/336

H 0 1 L 21/205

// C 2 3 C 16/02

29/78

3 0 1 P

審査請求 未請求 請求項の数8 OL (全 8 頁) 最終頁に続く

(21)出願番号

特願平8-265789

(22)出願日

平成8年(1996)10月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 島元 辰己

鹿児島県国分市野口北5番1号 ソニー国

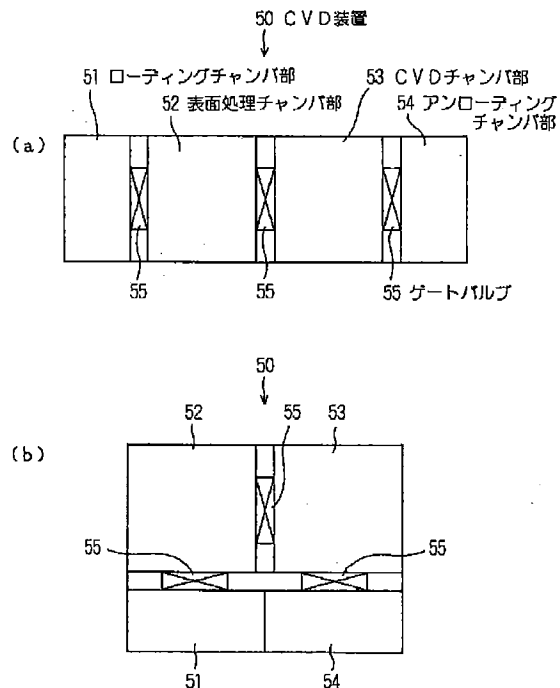
分株式会社内

(54)【発明の名称】 CVD装置およびこれを用いた半導体装置の製造方法

(57)【要約】

【課題】 表面処理機能を有する高融点金属シリサイド膜のCVD装置と、このCVD装置を用いてポリシリコン膜と高融点金属シリサイド膜との密着性およびオーミック性の良いポリサイドゲート電極のMOSトランジスタを含む半導体装置の製造方法を提供する。

【解決手段】 ローディングチャンバ部51と、還元性ガス又はハロゲンガスを含む不活性ガスで半導体ウェハの表面処理をする表面処理チャンバ部52と、タングステンシリサイド膜を堆積するCVDチャンバ部53と、被処理基板を取り出すアンローディングチャンバ部54等で構成されるCVD装置50により、ポリシリコン膜表面に形成された自然酸化膜を除去した後、 WSi_2 膜を形成する工程を採り、ポリサイドゲート電極のMOSトランジスタを含む半導体装置の製造をする。



【特許請求の範囲】

【請求項1】 被処理基板上に高融点金属シリサイド膜を堆積させるCVD装置において、前記被処理基板を設置するローディングチャンバ部と、前記被処理基板の表面処理をする表面処理チャンバ部と、前記高融点金属シリサイド膜を堆積するCVDチャンバ部と、前記被処理基板を取り出すアンローディングチャンバ部とを設け、

前記ローディングチャンバ部、前記表面処理チャンバ部、前記CVDチャンバ部、前記アンローディングチャンバ部間には、自動的に開閉し、前記被処理基板が移動できる大きさの開閉部を設け、

前記被処理基板を前記ローディングチャンバ部より前記アンローディングチャンバ部まで移動させる自動搬送手段を設けたことを特徴とするCVD装置。

【請求項2】 前記表面処理チャンバ部は、還元性ガスおよびハロゲンガスを含む不活性ガスの内、いずれか一方のガスを用いて、前記被処理基板表面の酸化膜を除去する表面処理チャンバ部であることを特徴とする請求項1に記載のCVD装置。

【請求項3】 前記表面処理チャンバ部での前記被処理基板の表面処理時間は、前記CVDチャンバ部での前記高融点金属シリサイド膜の堆積時間以下であることを特徴とする請求項1に記載のCVD装置。

【請求項4】 被処理基板である、不純物をドーパした非単結晶シリコン膜の形成された半導体ウェハに、高融点金属シリサイド膜を堆積させるCVD装置を用いたCVD工程を有する半導体装置の製造方法において、前記半導体ウェハを請求項1に記載のCVD装置のローディングチャンバ部に設置する工程と、前記半導体ウェハを表面処理チャンバ部に自動搬送させ、前記表面処理チャンバ部で非単結晶シリコン膜の表面処理をする工程と、前記半導体ウェハをCVDチャンバ部に自動搬送させ、前記CVDチャンバ部で前記非単結晶シリコン膜上に高融点金属シリサイド膜を堆積する工程と、前記半導体ウェハをアンローディングチャンバ部に自動搬送させ、前記半導体ウェハを取り出す工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記非単結晶シリコン膜の前記表面処理は、ハロゲンガスを含む不活性ガス雰囲気中でプラズマを発生させて表面処理し、前記非単結晶シリコン膜表面の自然酸化膜を除去することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記ハロゲンガスは、 BCl_3 ガスであることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記非単結晶シリコン膜の前記表面処理は、還元性ガス雰囲気中で前記半導体ウェハを加熱し、前記非単結晶シリコン膜表面の自然酸化膜を除去するこ

とを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項8】 前記還元性ガスは、 H_2 ガスであることを特徴とする請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCVD装置およびこれを用いた半導体装置の製造方法に関し、さらに詳しくは、高融点金属シリサイド膜を形成するCVD装置およびこのCVD装置を用いたポリサイドゲート電極のMOSトランジスタを含む半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のMOSトランジスタを含む半導体装置では、MOSトランジスタのゲート電極材料としてリン等の不純物を拡散した非単結晶シリコン膜（ポリシリコン膜）が用いられてきた。しかしながら、近年、MOSトランジスタを含む半導体装置の高速化、高集積化に伴い、上記ポリシリコン膜の抵抗が大きいことによる信号伝搬速度の問題で、半導体装置の高速化を達成することが困難になり、MOSトランジスタのゲート電極として安定なポリシリコン膜と、このポリシリコン膜上に、ゲート電極の低抵抗化が可能な高融点金属シリサイド膜を積層したポリサイド膜をゲート電極とするMOSトランジスタを含む半導体装置が開発され、この様な半導体装置が一般的なものとなってきている。

【0003】上述したポリサイドゲート電極のMOSトランジスタを含む半導体装置の製造方法の従来例を、図4を参照して説明する。まず、図4(a)に示すように、P型半導体基板11表面の素子分離領域にLOCOS(Local Oxidation of Silicon)膜12を形成する。その後熱酸化により、MOSトランジスタ部1の半導体基板11表面にゲート酸化膜13を形成する。更にその後、CVD法によりポリシリコン膜を堆積し、不純物拡散炉を用いてポリシリコン膜に不純物を拡散させ、不純物をドーパしたポリシリコン膜14を形成し、不純物拡散時等に形成されたポリシリコン膜14表面の酸化膜等を、弗化水素(HF)を含む溶液でエッチングして除去する。

【0004】次に、高融点金属シリサイド膜を形成するCVD装置、例えばタングステンシリサイド(WSi_2)のCVD装置を用いて、ポリシリコン膜14上に WSi_2 膜15を堆積する。その後、CVD法によるCVD酸化膜16を WSi_2 膜15上に堆積する。

【0005】次に、図4(b)に示すように、CVD酸化膜16/ WSi_2 膜15/ポリシリコン膜14/ゲート酸化膜13を、フォトリソグラフィ技術とRIE(Reactive Ion Etching)によりパターンニングして、ポリシリコン膜14と WSi_2 膜15とによるポリサイドゲート電極17を含むゲート電極部2を形成する。

10

20

30

40

50

【0006】次に、図4(c)に示すように、MOSトランジスタ部1のソース・ドレイン部3に、LDD (Lightly Doped Drain) 層形成のためのイオン注入を行い、その後、CVD酸化膜を堆積し、このCVD酸化膜をRIE等の異方性プラズマエッチングによりエッチバックし、ゲート電極部2側壁にサイドウォール酸化膜18を形成する。次に、MOSトランジスタ部1のソース・ドレイン部3に、ソース・ドレインを形成するためのイオン注入を行い、その後、RTA (Rapid Thermal Annealing) 10 法等によるイオン注入層のイオン活性化のための熱処理を行って、LDD層を持つソース・ドレイン層19を形成する。

【0007】その後は、図面は省略するが、層間絶縁膜形成、コンタクトホール形成、埋め込みプラグ形成、配線形成、パッシベーション膜形成、パッド窓開け等を行って、半導体装置を作製する。

【0008】上述したポリサイドゲート電極17を持つMOSトランジスタを含む半導体装置の製造方法においては、弗化水素(HF)を含む溶液で不純物をドーブしたポリシリコン膜14表面の酸化膜等を除去した後の半導体基板11が、ある時間自然放置されてると、ポリシリコン膜14表面に自然酸化膜が形成される。この自然酸化膜が形成されると、ポリシリコン膜14上にWSi₂膜15を堆積する際に、WSi₂膜15の密着性が悪くなり、WSi₂膜15が下地より剥離するという現象が発生する。従って、通常は弗化水素(HF)を含む溶液でのポリシリコン膜14の表面処理後は、直ちに半導体基板11をCVD装置に入れて、WSi₂膜15を堆積する方法が採られている。20

【0009】しかし、数多くの半導体製造装置が種々の工程に使用される半導体装置の製造においては、ポリシリコン膜14の堆積、酸化膜等の除去、WSi₂膜15堆積を連続して行うことは、設備の総合稼働率を低下させてしまう。この設備の総合稼働率低下を避けようとする、ポリシリコン膜14表面の酸化膜等の除去処理後の半導体基板11が自然放置される状態が起こる。この時は、再度弗化水素(HF)を含む溶液でポリシリコン膜14表面に形成された自然酸化膜を除去し、その後にWSi₂膜15の堆積を行う必要がある。40

【0010】この様なことで、自然酸化膜の除去を行うことは、酸化膜等の除去を行う処理装置の処理能力増加を必要とし、製造工程数を増加させることになる。また、ポリシリコン膜14表面の酸化膜等の除去処理後、WSi₂膜15を堆積するまでの時間が短時間でも、この時間の長さにより自然酸化膜の膜厚が異なるので、WSi₂膜15の堆積直後には剥離しなくても、後工程で剥離が発生する虞もある。更に、ポリシリコン膜14表面に自然酸化膜が形成され、この膜厚が1.5nm以上になった状態でWSi₂膜15を堆積すると、形成され50

たポリサイドゲート電極のポリシリコン膜14とWSi₂膜15間のトンネル電流によるオーミック性も無くなるという問題も発生する。上述した問題は、WSiのCVD装置自体にポリシリコン膜14の表面処理機能が無いことによって起こる問題である。

【0011】

【発明が解決しようとする課題】本発明は、上述したCVD装置およびこれを用いた半導体装置の製造方法における問題点を解決することをその目的とする。即ち本発明の課題は、表面処理機能を有する高融点金属シリサイド膜のCVD装置と、このCVD装置を用いてポリシリコン膜と高融点金属シリサイド膜との密着性およびオーミック性の良いポリサイドゲート電極のMOSトランジスタを含む半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のCVD装置およびこれを用いた半導体装置の製造方法は、上述の課題を解決するために提案するものであり、本発明のCVD装置は、被処理基板上に高融点金属シリサイド膜を堆積させるCVD装置において、被処理基板を設置するローディングチャンバ部と、被処理基板の表面処理をする表面処理チャンバ部と、高融点金属シリサイド膜を堆積するCVDチャンバ部と、被処理基板を取り出すアンローディングチャンバ部とを設け、ローディングチャンバ部、前記表面処理チャンバ部、CVDチャンバ部、アンローディングチャンバ部間には、自動的に開閉し、被処理基板が移動できる大きさの開閉部を設け、被処理基板をローディングチャンバ部よりアンローディングチャンバ部まで移動させる自動搬送手段を設けたことを特徴とするものである。30

【0013】本発明のCVD装置およびこれを用いた半導体装置の製造方法は、被処理基板である、不純物をドーブしたポリシリコン膜の形成された半導体ウェハに、高融点金属シリサイド膜を堆積させるCVD装置を用いたCVD工程を有する半導体装置の製造方法において、半導体ウェハを請求項1に記載のCVD装置のローディングチャンバ部に設置する工程と、半導体ウェハを表面処理チャンバ部に自動搬送させ、表面処理チャンバ部でポリシリコン膜の表面処理をする工程と、半導体ウェハをCVDチャンバ部に自動搬送させ、CVDチャンバ部でポリシリコン膜上に高融点金属シリサイド膜を堆積する工程と、半導体ウェハをアンローディングチャンバ部に自動搬送させ、半導体ウェハを取り出す工程とを有することを特徴とするものである。40

【0014】本発明によれば、被処理基板である、不純物をドーブしたポリシリコン膜の形成された半導体ウェハのポリシリコン膜上に高融点金属シリサイド膜を堆積する際、表面処理機能を有する高融点金属シリサイド膜のCVD装置により、ポリシリコン膜表面の自然酸化膜

を除去した後に、半導体ウェハを大気中に取り出すことなく、高融点金属シリサイド膜を堆積することで、ポリシリコン膜と高融点金属シリサイド膜との密着性およびオーミック性の良いポリサイドゲート電極のMOSTランジスタを含む半導体装置の作製が可能となる。また、表面処理チャンバ部を設けた高融点金属シリサイド膜のCVD装置を用いれば、従来例のようなポリシリコン膜形成後に、直ちに高融点金属シリサイド膜を堆積する必要がなく、従って半導体装置の製造で使用する数多くの製造装置の総合稼働率を低下させることなく半導体装置の製造が可能になる。

【0015】

【実施例】

実施例1

本実施例はタングステンシリサイドのCVD装置およびこれを用いたポリサイドゲート電極のMOSTランジスタを含む半導体装置の製造方法に本発明を適用した例であり、従来の技術説明で使用した図4と、図1および図2を参照して説明する。ここで、図1は本発明の高融点金属シリサイド膜のCVD装置のブロック図で、(a)は各チャンバ部を直線的に配置した時のCVD装置のブロック図であり、(b)は各チャンバ部をコの字状に配置した時のCVD装置のブロック図である。図2は図1(a)のCVD装置における表面処理チャンバ部の詳細説明をするための、表面処理チャンバ部付近の概略断面図である。

【0016】まず、図4(a)に示すように、従来の半導体装置の製造方法と同様にして、P型半導体基板11表面にLOCOS膜12、ゲート酸化膜13を形成する。その後、CVD法により膜厚約200nm程度のポリシリコン膜を堆積し、不純物拡散炉を用いてポリシリコン膜に不純物を拡散させ、不純物をドーブしたポリシリコン膜14を形成し、不純物拡散時等に形成されたポリシリコン膜14表面の酸化膜等を、弗化水素(HF)を含む溶液でエッチングして除去する。なお、上述した不純物をドーブしたポリシリコン膜14は、CVD法でポリシリコン膜を形成する際に、シラン系ガスと不純物とするホスフィン系ガス等との混合ガスを使用してCVDする方法で、不純物をドーブしたポリシリコン膜14を形成してもよい。

【0017】次に、図1に示すような本実施例の高融点金属シリサイド膜のCVD装置、例えばタングステンシリサイドのCVD装置50により、WSi₂膜15を堆積する。ここで、WSi₂膜15を堆積するタングステンシリサイドのCVD装置50の構造について述べる。CVD装置50は、図1(a)および(b)のブロック図に示すように、被処理基板である、不純物をドーブしたポリシリコン膜が形成された半導体ウェハを設置するローディングチャンバ部51と、ポリシリコン膜表面に形成された自然酸化膜を除去するための表面処理を行う

表面処理チャンバ部52と、高融点金属シリサイド膜である、WSi₂膜15を堆積するCVDチャンバ部53と、半導体ウェハを取り出すアンローディングチャンバ部54と、これら各チャンバ部間に設けられた開閉部、例えばゲートバルブ55とで概略構成されている。また、半導体ウェハのローディングチャンバ部より前記アンローディングチャンバ部までの移動は、自動搬送手段により行われる。

【0018】ローディングチャンバ部51やアンローディングチャンバ部54は、半導体ウェハを収納したウェハカセットが設置できるようになっている。またCVDチャンバ部53は、通常のタングステンシリサイドのCVD装置のCVDチャンバ部と同様の構成となっている。

【0019】表面処理チャンバ部52は、図2に示すように、表面処理チャンバ60と、半導体ウェハ61を載置する基板ホルダ62と、ガス配管64を通してハロゲンガスを含む不活性ガスを表面処理チャンバ60内に吹き出させるガスノズル部63と、半導体ウェハ61を移動させる自動搬送手段65と、排気系に接続して表面処理チャンバ60内のガスを排気する排気管66等で概略構成されている。なお、基板ホルダ62にはインピーダンス整合回路67を介して、RF電源68が接続されていて、基板ホルダ62とガスノズル部63間にプラズマを発生させるようになっている。

【0020】次に、上記のCVD装置50を用いた、ポリシリコン膜14上へのWSi₂膜の堆積方法に関して述べる。まず、半導体基板11上にポリシリコン膜14が形成された、被処理基板である半導体ウェハ61が多数収納されているウェハカセットをローディングチャンバ部51に設置する。その後、ローディングチャンバ部51が真空にされ、ローディングチャンバ部51と表面処理チャンバ部52間のゲートバルブ55が開き、ローディングチャンバ部51内にある自動搬送手段65(図2参照)のアーム部65aが伸びて、ウェハカセットにある半導体ウェハ61周辺部を掴み、半導体ウェハ61の中心が自動搬送手段65の回転軸65b上付近にくるまで引き寄せた後、回転軸65bが半回転して、その後アーム部65aを伸ばして半導体ウェハ61を表面処理チャンバ部52の基板ホルダ62に載置する。その後自動搬送手段65は始めの位置に戻り、ゲートバルブ55が閉じる。

【0021】次に、表面処理チャンバ60内にハロゲンガスを含む不活性ガス、例えばBCl₃ガスを含むHeガスを導入し、圧力を約50Pa程度とする。その後RF電源68のパワーをONし、約5分程度プラズマを発生させ、半導体ウェハ61のポリシリコン膜14表面の自然酸化膜を除去する。なお、この表面処理時間は、CVDチャンバ部53でのWSi₂膜15の堆積時間以下であるので、CVD装置の処理能力を低減させない。次

に、RF電源68のパワーをOFFし、BCl₃ ガスを
含むHeガスの導入を停止して、表面処理チャンバ60
内を真空に排気した後、表面処理チャンバ部52とCV
Dチャンバ部53間のゲートバルブ55が開き、表面処
理チャンバ部52の自動搬送手段65により、半導体ウ
ェハ61をCVDチャンバ部53に送り、CVDチャン
バ部53の基板ホルダに載置する。

【0022】次に、CVDチャンバ部53において、例
えば下記のタングステンシリサイド膜のCVD条件によ
り、膜厚約200nm程度のWSi₂ 膜15を半導体ウ
ェハ61のポリシリコン膜14上に堆積する。

〔WSi₂ 膜15のCVD条件〕

WF ₆ ガス流量	:	10	sccm
SiH ₂ Cl ₂ 流量	:	500	sccm
圧力	:	50	Pa
基板温度	:	450	°C

【0023】WSi₂ 膜15の堆積終了後、半導体ウ
ェハ61は、アンローディングチャンバ部54内にある自
動搬送手段により、CVDチャンバ部53からアンロー
ディングチャンバ部54へ自動搬送され、その後アンロ
ーディングチャンバ部54にリークガスを導入して大気
圧とした後、半導体ウェハ61をアンローディングチャ
ンバ部54より取り出す。

【0024】上記のようなCVD装置50によるWSi₂
膜15を半導体ウェハ61のポリシリコン膜14上に
堆積すれば、BCl₃ ガスを含むHeガス雰囲気中のプ
ラズマ処理によりポリシリコン膜14表面の自然酸化膜
を除去した後、大気中に取り出すことなく、次工程のW
Si₂ 膜15堆積工程に入るために、ポリシリコン膜1
4表面に自然酸化膜が形成されない状態でWSi₂ 膜1
5を堆積することができる。従って、ポリシリコン膜1
4とWSi₂ 膜15との密着性が良く、WSi₂ 膜15
の剥離が発生しない。また、ポリシリコン膜14表面に
自然酸化膜が形成されないの、後述するポリサイドゲ
ート電極17における、ポリシリコン膜14とWSi₂
膜15とのオーミック特性が確保できる。

【0025】上記のCVD装置50によるWSi₂ 膜1
5の堆積後、CVD方法による膜厚約300nm程度の
CVD酸化膜16をWSi₂ 膜15上に堆積する。

【0026】次に、図4(b)に示すように、CVD酸
化膜16/WSi₂ 膜15/ポリシリコン膜14/ゲ
ート酸化膜13を、フォトリソグラフィ技術とRIEによ
りパターンニングして、ポリシリコン膜14とWSi₂ 膜
15とによるポリサイドゲート電極17を含むゲート電
極部2を形成する。

【0027】次に、図4(c)に示すように、従来例と
同様にしてMOSトランジスタ部1のソース・ドレイン
部3にソース・ドレイン層等を形成する。その後は、図
面は省略するが、層間絶縁膜形成、コンタクトホール形
成、埋め込みプラグ形成、配線形成、パッシベーション

膜形成、パッド窓開け等を行って、半導体装置を作製す
る。

【0028】上記のようにして半導体装置を作製すれ
ば、ポリシリコン膜と高融点金属シリサイド膜との密着
性およびオーミック性を向上させたポリサイドゲート電
極のMOSトランジスタを含む半導体装置の作製が可能
となる。また、上記のCVD装置50を用いれば、ポリ
シリコン膜14形成後に、直ちにWSi₂ 膜15を堆積
する必要がなく、従って半導体装置の製造で使用される
数多くの製造装置の総合稼働率を低下させることなく半
導体装置の製造が可能になる。

【0029】実施例2

本実施例はCVD装置およびこれを用いた半導体装置の
製造方法に本発明を適用した例であり、従来の技術説明
で使用した図4と、実施例1の説明で使用した図1およ
び図3を参照して説明する。ここで、図3は、図1
(a)のCVD装置における、本実施例の表面処理チャ
ンバ部の詳細説明をするための、表面処理チャンバ部付
近の概略断面図である。

【0030】まず、図4(a)に示すように、実施例1
と同様にしてP型半導体基板11表面にLOCOS膜1
2、ゲート酸化膜13、ポリシリコン膜14を形成す
る。

【0031】次に、本実施例の高融点金属シリサイド膜
のCVD装置、例えばタングステンシリサイドのCVD
装置50により、WSi₂ 膜15を堆積する。ここで、
本実施例のタングステンシリサイドのCVD装置50の
構造に関して説明する。なお、本実施例のCVD装置5
0の表面処理チャンバ部52以外は実施例1と同様なの
で、表面処理チャンバ部52以外の説明は省略する。

【0032】本実施例のCVD装置50の表面処理チャ
ンバ部52は、図3に示すように、表面処理チャンバ7
0内には、半導体ウェハ61を載置する、例えば石英ガ
ラス製による基板ホルダ71と、自動搬送手段65が設
置されている。上記の石英ガラス製による基板ホルダ7
1は、半導体ウェハ61との接触面積が小さな、複数の
支持部71aにより半導体ウェハ61を支持するようにな
っており、加熱される半導体ウェハ61の熱が基板ホ
ルダに逃げるのを抑制している。表面処理チャンバ70
上部には、石英ガラス板72が設けられ、この石英ガ
ラス板72上方には、半導体ウェハ61を加熱するための
複数のハロゲンランプ等による赤外線加熱部73が設け
られている。また、表面処理チャンバ70内には、還元性
ガス、例えばH₂ ガスを供給するガス配管74が閉開バ
ルブ75を介して設けられ、表面処理チャンバ70内の
ガスを排気する排気管76が設けられている。

【0033】次に、上記のCVD装置50を用いた、ポ
リシリコン膜14上へのWSi₂ 膜の堆積方法に関して
述べる。ここで、半導体基板11上にポリシリコン膜1
4が形成された、被処理基板である半導体ウェハ61

が、ローディングチャンバ部51より、表面処理チャンバ部52の基板ホルダ71に載置されるまでの工程と、表面処理チャンバ部52の基板ホルダ71よりCVDチャンバ部53に移動し、 WSi_2 膜が堆積され、アンローディングチャンバ部54に移動して取り出すまでの工程とは、実施例1と同様なので説明を省略する。

【0034】半導体ウェハ61が、図3に示すような表面処理チャンバ部52の基板ホルダ71に載置されると、開閉バルブ75が開いて、表面処理チャンバ70に還元性ガスである H_2 ガスを導入し、表面処理チャンバ70内の圧力を約 10^4 Pa程度とする。次に赤外線加熱部73のハロゲンランプ73aを点灯させて、半導体ウェハ61を約 $900^\circ C$ 、約5分程度加熱する。この H_2 ガス雰囲気中で半導体ウェハ61を加熱する表面処理により、ポリシリコン膜14表面に形成されている自然酸化膜が除去される。この加熱終了後、半導体ウェハ61は、表面処理チャンバ部52内の自動搬送手段65により、CVDチャンバ部53に搬送される。

【0035】CVDチャンバ部53では、実施例1と同様にして、 WSi_2 膜15がポリシリコン膜14上に堆積され、その後半導体ウェハ61は、アンローディングチャンバ部54に移動し、外部に取り出される。次に、CVD法によりCVD酸化膜16を WSi_2 膜15上に堆積する。

【0036】次に、図4(b)に示すように、CVD酸化膜16/ WSi_2 膜15/ポリシリコン膜14/ゲート酸化膜13を、フォトリソグラフィ技術とRIEによりパターニングして、ポリシリコン膜14と WSi_2 膜15とによるポリサイドゲート電極17を含むゲート電極部2を形成する。

【0037】次に、図4(c)に示すように、従来例と同様にしてサイドウォール酸化膜18やソース・ドレイン層19を形成する。その後は、図面は省略するが、層間絶縁膜形成、コンタクトホール形成、埋め込みプラグ形成、配線形成、パッシベーション膜形成、パッド窓開け等を行って、半導体装置を作製する。

【0038】上記のようにして半導体装置を作製すれば、ポリシリコン膜と高融点金属シリサイド膜との密着性およびオーミック性を向上させたポリサイドゲート電極のMOSTランジスタを含む半導体装置の作製が可能となる。また、上記のCVD装置50を用いれば、ポリシリコン膜14形成後に、直ちに WSi_2 膜15を堆積する必要がなく、従って半導体装置の製造で使用する数多くの製造装置の総合稼働率を低下させることなく半導体装置の製造が可能になる。

【0039】以上、本発明を2例の実施例により説明したが、本発明はこれら実施例に何ら限定されるものではない。例えば、本実施例ではポリサイドゲート電極とする高融点金属シリサイド膜として WSi_2 膜を用いて説

明したが、 $MoSi_2$ 膜等の高融点金属シリサイド膜を用いてもよい。また、ポリシリコン膜表面の自然酸化膜をプラズマ処理により除去する際の処理ガスとして BCl_3 を含む He ガスをを用いたが、 Cl_2 ガス等のハロゲンガスを含む不活性ガスでもよい。

【0040】更に、ポリシリコン膜表面の自然酸化膜を H_2 ガス雰囲気中の加熱処理で行うとしたが、 H_2 ガスを含む不活性ガス等の還元性ガス雰囲気中で加熱処理をしてもよい。その他、本発明の技術的思想の範囲内で、半導体装置の製造方法におけるプロセス条件は適宜変更が可能である。

【0041】

【発明の効果】以上の説明から明らかなように、本発明のCVD装置およびこれを用いた半導体装置の製造方法は、半導体製造装置の総合稼働率を向上させ、ポリシリコン膜と高融点金属シリサイド膜との密着性およびオーミック性を向上させたポリサイドゲート電極のMOSTランジスタを含む半導体装置の作製が可能となる。

【図面の簡単な説明】

【図1】本発明の高融点金属シリサイド膜のCVD装置のブロック図で、(a)は各チャンバ部を直線的に配置した時のCVD装置のブロック図であり、(b)は各チャンバ部をコの字状に配置した時のCVD装置のブロック図である。

【図2】図1(a)のCVD装置における実施例1の表面処理チャンバ部の詳細説明をするための、表面処理チャンバ部付近の概略断面図である。

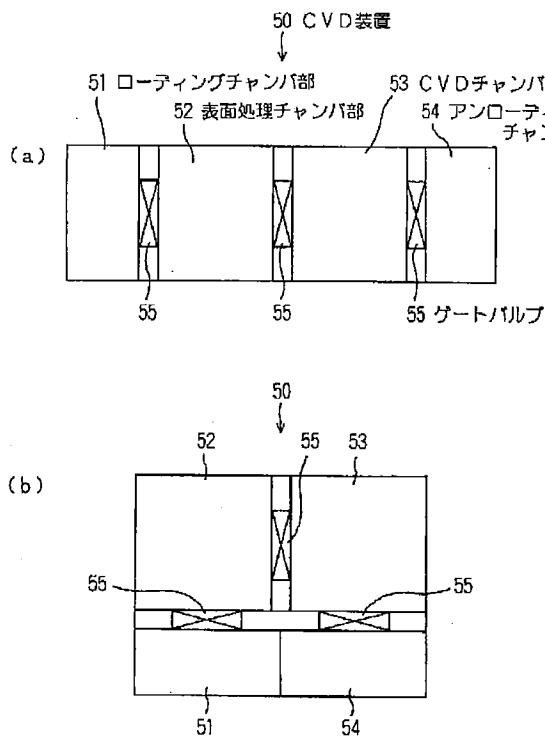
【図3】図1(a)のCVD装置における実施例2の表面処理チャンバ部の詳細説明をするための、表面処理チャンバ部付近の概略断面図である。

【図4】半導体装置の製造方法を説明するための、半導体装置の概略断面図である。

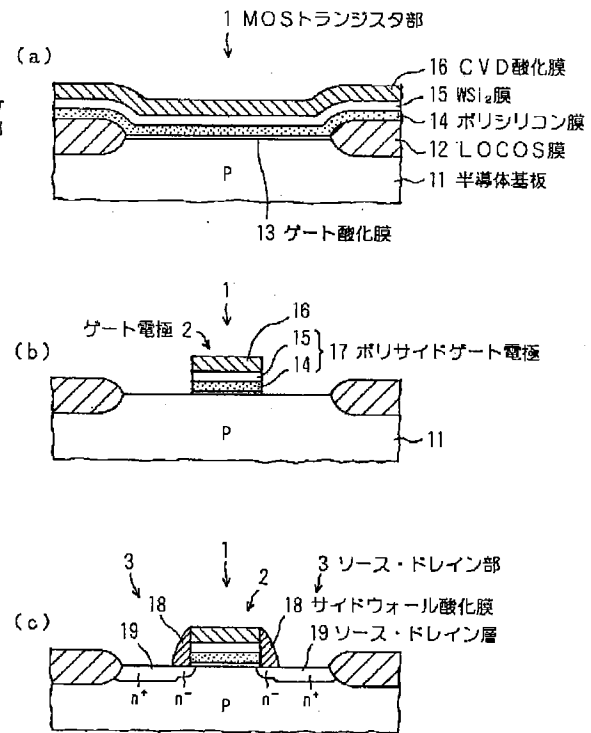
【符号の説明】

1…MOSTランジスタ部、2…ゲート電極部、3…ソース・ドレイン部、11…半導体基板、12… $LOCO$ S膜、13…ゲート酸化膜、14…ポリシリコン膜、15… WSi_2 膜、16…CVD酸化膜、17…ポリサイドゲート電極、18…サイドウォール酸化膜、19…ソース・ドレイン層、50…CVD装置、51…ローディングチャンバ部、52…表面処理チャンバ部、53…CVDチャンバ部、54…アンローディングチャンバ部、55…ゲートバルブ、60…表面処理チャンバ、61…半導体ウェハ、62…基板ホルダ、63…ガスノズル部、64…ガス配管、65…自動搬送手段、66…排気管、67…インピーダンス整合回路、68…RF電源、70…表面処理チャンバ、71…基板ホルダ、71a…支持部、72…石英ガラス板、73…赤外線加熱部、73a…ハロゲンランプ、74…ガス配管、75…開閉バルブ、76…排気管

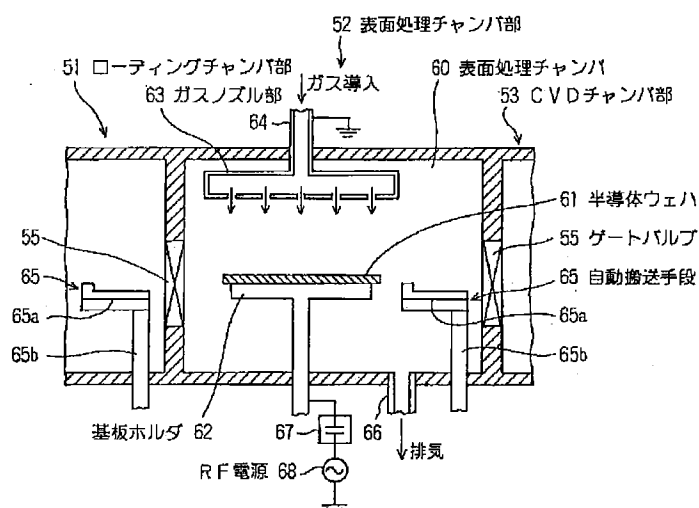
【図1】



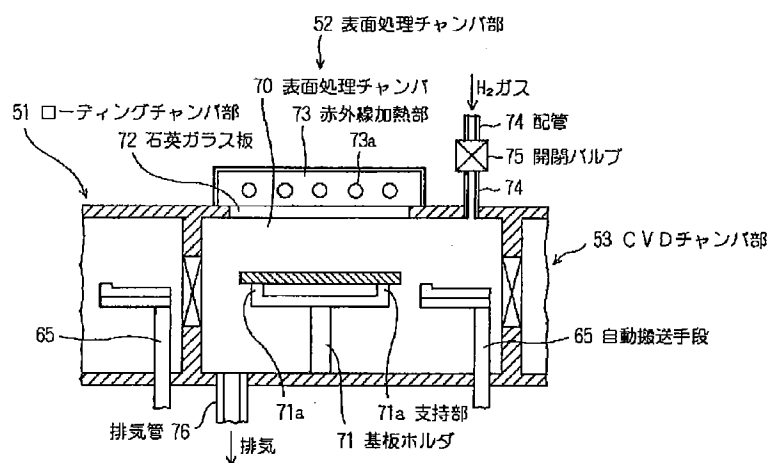
【図4】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁶
H01L 21/205

識別記号

F I

N

DERWENT-ACC-NO: 1998-308294

DERWENT-WEEK: 199827

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: CVD apparatus for MOS transistor built in semiconductor device manufacture includes automatic conveyor which conveys processed substrate from loading chamber to unloading chamber through gate valve

INVENTOR: SHIMAMOTO T

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1996JP-265789 (October 7, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 10112488 A	April 28, 1998	JA

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10112488A	N/A	1996JP-265789	October 7, 1996

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	C23C16/02 20060101

CIPS	H01L21/205 20060101
CIPS	H01L21/285 20060101
CIPS	H01L21/336 20060101
CIPS	H01L21/677 20060101
CIPS	H01L21/68 20060101
CIPS	H01L29/78 20060101

ABSTRACTED-PUB-NO: JP 10112488 A

BASIC-ABSTRACT:

The CVD apparatus (50) includes a loading chamber (51) in which a substrate is enclosed. The surface treatment of the substrate is performed in a surface treatment chamber (52). A refractory metal silicide film is formed on the substrate in a CVD chamber (53). The processed substrate is taken out through an unloading chamber (54). A gate valve (55) through which the substrate moves from one chamber to other chamber, is provided between the loading chamber and the surface treatment chamber and between the CVD chamber and the unloading chamber. An automatic conveyor moves the substrate from the loading chamber to the unloading chamber.

ADVANTAGE - Improves resistance of polysilicon film and refractory metal silicide film. Enables proper adhesion of refractory metal silicide film on polycide gate electrode of MOS transistor.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: CVD APPARATUS MOS TRANSISTOR
BUILD SEMICONDUCTOR DEVICE
MANUFACTURE AUTOMATIC CONVEYOR
CONVEY PROCESS SUBSTRATE LOAD
CHAMBER UNLOAD THROUGH GATE
VALVE

DERWENT-CLASS: L03 U11

CPI-CODES: L04-D01;

EPI-CODES: U11-C09B; U11-F02A1;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: 1998-095290

Non-CPI Secondary Accession Numbers: 1998-242462

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-112488

(43)Date of publication of application : 28.04.1998

(51)Int.Cl.

H01L 21/68
H01L 21/285
H01L 29/78
H01L 21/336
// C23C 16/02
H01L 21/205

(21)Application number : 08-265789

(71)Applicant : SONY CORP

(22)Date of filing : 07.10.1996

(72)Inventor : SHIMAMOTO TATSUMI

(54) MANUFACTURING METHOD OF CVD DEVICE AND SEMICONDUCTOR DEVICE USING THIS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a CVD device for a high melting point metallic silicide film having a surface processing function, and a semiconductor device which includes the MOS transistor of a polycide gate electrode excellent in adhesion between a polysilicon film and a high melting point metallic silicide film and ohmic property and is made by the use of this CVD device.

SOLUTION: A CVD device 50 is composed of a loading chamber part 51, a surface processing chamber 52 which processes the surface of a semiconductor in inert gas including reductive gas or halogen gas, a CVD chamber part 53 which accumulates a tungsten silicide film, an unloading chamber part 54 which takes out a substrate to be processed, and others.

Here, by this CVD device 50, a semiconductor device which includes the MOS transistor of a polycide gate electrode is manufactured, adopting the process of forming a WSi_2 film after removing the natural oxide film made on the surface of the polysilicon film.

